

BUILD-UP MULTILAYERED PRINTED WIRING BOARD

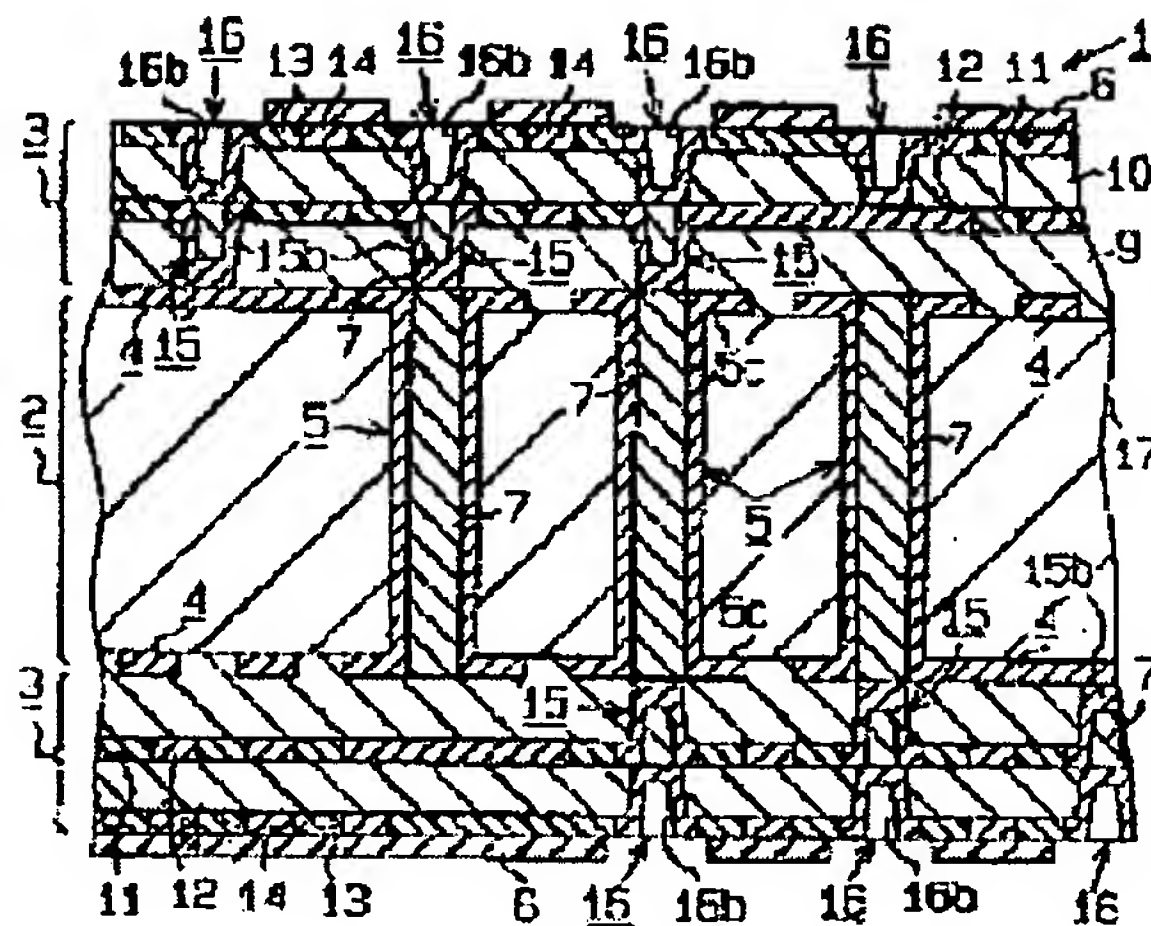
Publication number: JP7283539
Publication date: 1995-10-27
Inventor: FURUYA HIROSHI; TAKASAKI YOSHINORI
Applicant: SONY CORP; IBIDEN CO LTD
Classification:
- international: H05K3/46; H05K3/46; (IPC1-7): H05K3/46
- European:
Application number: JP19940076204 19940414
Priority number(s): JP19940076204 19940414

Report a data error here

Abstract of JP7283539

PURPOSE: To provide a build-up multilayered printed wiring board wherein the wiring freedom is high and the forming precision of a conducting pattern is excellent.

CONSTITUTION: A build-up multilayered printed wiring board 1 is obtained by laminating an insulating layer 9 in which viaholes 5, 15, 16 are formed and a conductor circuit layer. The surface of at least one inner viahole 5 out of the viaholes is flattened by using conducting material 7. The viahole 15 of the insulating layer 9 formed on the conductor circuit layer is arranged almost on the axial line of the inner viahole 5, and electrically connected by plating.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-283539

(43)公開日 平成7年(1995)10月27日

(51)Int.Cl.⁶

H 0 5 K 3/46

識別記号

N 6921-4E

E 6921-4E

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21)出願番号 特願平6-76204

(22)出願日 平成6年(1994)4月14日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(71)出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72)発明者 古屋 浩

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 高崎 義徳

岐阜県大垣市青柳町300番地 イビデン株式会社内

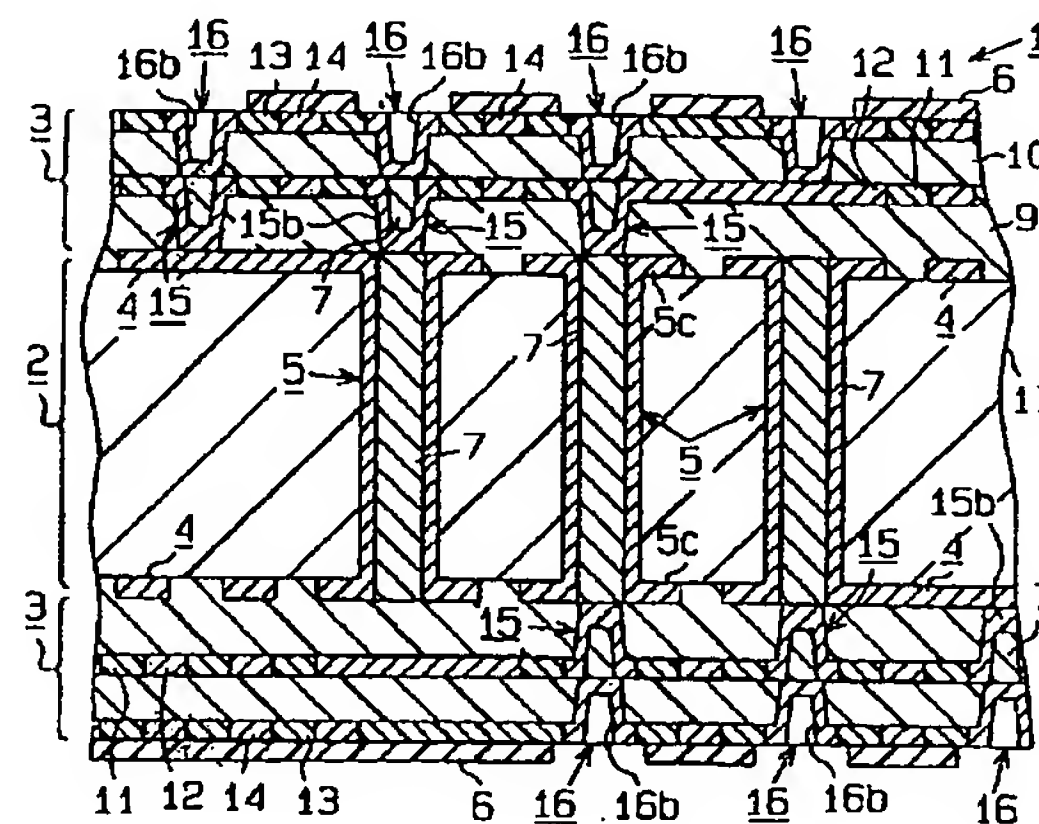
(74)代理人 弁理士 恩田 博宣

(54)【発明の名称】 ビルドアップ多層プリント配線板

(57)【要約】

【目的】 配線自由度が高く、しかも導体パターンの形成精度に優れたビルドアップ多層プリント配線板を提供すること。

【構成】 このビルドアップ多層プリント配線板1は、バイアホール5、15、16が形成された絶縁層9と導体回路層とを積層してなる。バイアホールのうち少なくとも1つのインナーバイアホール5の表面は、導電性物質7で平坦化されている。その上に積層された絶縁層9のバイアホール15は、インナーバイアホール5のほぼ軸線上に配置され、めっきにより電氣的に接続されている。



【特許請求の範囲】

【請求項 1】 バイアホールが形成された絶縁層と導体回路層が積層されたビルドアップ多層プリント配線板において、

前記バイアホールのうち少なくとも一つのインナーバイアホールの表面が導電性物質により平坦化されており、その上に積層された絶縁層のバイアホールが該インナーバイアホールのほぼ軸線上に配置されめっきにより電氣的に接続されてなることを特徴とするビルドアップ多層プリント配線板。

【請求項 2】 前記インナーバイアホール内には、導電性物質が充填されてなる請求項 1 に記載のビルドアップ多層プリント配線板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、バイアホールが形成された絶縁層と導体回路層が積層されたビルドアップ多層プリント配線板に関するものである。

【0002】

【従来の技術】 最近の電子機器、特にカメラ一体型 VTR、携帯電話、携帯情報端末などにおいて小型化と高機能化が急速に進んでいる。

【0003】 このような分野で使用される多層プリント配線板は、少ない層数でより高密度配線を実現するために、パターンの細線化とともにバイアホールの小径化が強く求められている。

【0004】 従来このような分野で使用される多層プリント配線板としては、例えば図 8 に示すようなサブトラクティブプロセスとアディティブプロセスによる多層プリント配線板（6 層板）20 が知られている。

【0005】 この多層プリント配線板 20 は、導体パターン 22 が形成された積層板 21 の両面にそれぞれ二層の層間絶縁層 23、24 が形成され、その層間に導体パターン 28 が形成されており、さらにその外層に導体パターン 29 が形成されている。これらの導体パターン 22、28、29 は、それぞれインナーバイアホール 25、26 およびバイアホール 27 によって電氣的に接続されている。なお、インナーバイアホール 25、26 の内部には、絶縁材が入り込んでいる。また多層プリント配線板 20 では多層に積層した後スルーホールを形成するための貫通孔の形成を必要としないという特徴がある。

【0006】 つまり、上記の構成からも明かなように、この多層プリント配線板は、全体の肉薄化および導体パターン 28、29 のファイン化が可能なものである。従って、図 8 のタイプの構成は、比較的高密度化や小型化に適しているといえる。

【0007】 しかしながら、図 8 に示される多層プリント配線板 20 には、以下に述べるような問題がある。前述したように、多層プリント配線板 20 の各層の導体パ

ターン 22、28、29 は、インナーバイアホール 25、26 およびバイアホール 27 によって電氣的に接続されているが、前記インナーバイアホール 25、26 の内部には、絶縁材が入り込んでいることから、その上部（すなわち軸線上となる位置）に直接別のインナーバイアホールやバイアホールを形成することが困難であった。そこで、従来においては、インナーバイアホールの上部を避けて形成された接続用パッドの上に別のインナーバイアホールやバイアホールが形成されている。

10 【0008】 すなわち、図 9 に例示したようにインナーバイアホール 25 のランド 25b に隣接して円形状をしたパッド 25a が形成されている。その接続用パッド 25a 上には、内層側の層間絶縁層 23 に属するインナーバイアホール 26 が接続されている。前記インナーバイアホール 56 は、内層側の層間絶縁層 23 上に形成された接続用パッド 26a に接続されている。そして、その接続用パッド 26a 上には、外層側の層間絶縁層 24 に属するバイアホール 27 が接続されている。つまり、従来においては、インナーバイアホール 25 や 26 の上部（すなわち、軸線上となる位置）を避けて接続用パッド 25a、26a を配置することが要求される。

20 【0009】 しかし、上記のような配置にすると、導体パターン 22、28 の配線に利用できる領域が相対的に減少することになるため、配線自由度の低下が避けられない。よって、多層プリント配線板 20 の小型化や高密度化を十分に達成することができない。

30 【0010】 また、図 8 の多層プリント配線板の場合、インナーバイアホール 25 に空洞部 25c があったり、内層側の層間絶縁層 23 に属するインナーバイアホール 26 に凹部 26b があるため、最外層の導体パターン 29 に凹凸ができ易いという問題がある。このように導体の形成精度が悪い場合、仮にその導体パターン 29 がワイヤーボンディング用のボンディングパッドであるとすると、凹凸の存在によってボンディング精度が悪化する。その結果、多層プリント配線板 20 に対する LSI チップやパッケージ等の実装が困難になる。

【0011】

40 【発明が解決しようとする課題】 本発明の目的は、上記の如き従来技術の欠点を解消することができ、配線自由度が高く、しかも導体パターンの形成精度に優れたビルドアップ多層プリント配線板を提供することにある。

【0012】

50 【課題を解決するための手段】 上記の課題は、バイアホールが形成された絶縁層と導体回路層が積層されたビルドアップ多層プリント配線板において、前記バイアホールのうち少なくとも一つのインナーバイアホールの表面が導電性物質により平坦化されており、その上に積層された絶縁層のバイアホールが該インナーバイアホールのほぼ軸線上に配置され、めっきにより電氣的に接続されてなることを特徴とするビルドアップ多層プリント配線

板によって解決することができる。

【0013】

【作用】この発明の構成によると、インナーバイアホール5の表面が導電性物質により平坦化されていることによって、その表面を接続用パッドとして使用することができる。つまり、インナーバイアホール5のほぼ軸線上に別のバイアホールの底面を直接接続することが可能となる。従って、従来のビルドアップ多層プリント配線板と異なり、インナーバイアホール5の上部を避けて接続用パッドを配置する必要がなくなる。

【0014】また、インナーバイアホール5の表面を平坦化することによって、インナーバイアホール5の空洞部や凹部に起因する層間絶縁層9の落ち込みを防止することができる。従って、インナーバイアホール5の上部にあたる部分に形成された導体パターン12に凹凸が生じることもなく、高い信頼性で電子部品を搭載することができると同時に、搭載される電子部品との半田付けやワイヤーボンディングに対しても良好な特性を有する。

【0015】前記インナーバイアホール5の表面を平坦化する手段としては、インナーバイアホール5の空洞部や凹部に、導電性物質を充填することにより平坦化することが好ましい。また、前記インナーバイアホール5の空洞部や凹部に充填材を埋め込んで平坦化した後、表面にめっき被膜を形成することもできる。

【0016】さらにまた、本発明にかかるビルドアップ多層プリント配線板の最外層に配設されるインナーバイアホール5は、その表面を搭載される電子部品との半田付けやワイヤーボンディング処理に対して、十分に平坦化することが可能であるから、ビルドアップ多層プリント配線板の最外層には所謂信号パターンを一切設けず、搭載する電子部品と電気接続するための導体パターンのみとすることもできる。これによって、従来必要であったソルダーレジスト工程そのものを省略できることで、低コスト化となるばかりか、実装電子部品に対する光学的実装検査の際には、画像データ取り込範囲内に電子部品実装パッド以外の導体パターンからの反射光（ノイズ）がない状態で画像認識することができ、検査精度を格段に向上できる。

【0017】

【実施例】以下、本発明をビルドアップ多層プリント配線板に具体化した一実施例を図1～図7に基づいて詳細に説明する。

【0018】図1には、ビルドアップ多層プリント配線板1が示されている。この多層プリント配線板1は、ベース基板2の両面に薄膜配線層3を備える6層板である。ベース基板2の両面には導体パターン4が形成されている。これらの導体パターン4は、ベース基板2を貫通するように設けられたインナーバイアホール5によって接続されている。なお、本実施例のインナーバイアホール5は、その両端部に円形状のランド5cを有してい

る。

【0019】インナーバイアホール5の内壁には銅めっき層5bが形成されており、その銅めっき層5bによって囲まれている空洞部5aには導電性物質としての銅ペースト7が充填されている。インナーバイアホール5の両端面は、銅ペースト7が充填されることによって平坦化されている。

【0020】本実施例の多層プリント配線板1には、内層側の層間絶縁層9及び外層側の層間絶縁層10の二層構造からなる薄層配線層3が形成されている。内層側の層間絶縁層9の表面には永久レジスト11が形成されている。内層側の層間絶縁層9の表面のうち永久レジスト11が形成されていない部分には、導体パターン12が形成されている。同様に、外層側の層間絶縁層10の表面には、永久レジスト13が形成されている。外層側の層間絶縁層10の表面のうち永久レジスト13が形成されていない部分には、導体パターン14が形成されている。前記導体パターン14の一部は、LSIチップ等を表面実装するための接続用パッドとなっている。また、外層側の層間絶縁層10の表面は、一部を除いてソルダーレジスト6によって被覆されている。なお、説明の便宜上、前記導体パターン14のことをこれ以降「最外層の導体パターン14」と呼ぶことにする。同様に導体パターン12のことを「外層の導体パターン12」と、導体パターン4のことを「内層の導体パターン4」とそれぞれ呼ぶことにする。

【0021】内層側の層間絶縁層9には、層間接続用のインナーバイアホール15が形成されている。外層側の層間絶縁層10にも、同様に層間接続用のバイアホール16が形成されている。インナーバイアホール15とバイアホール16を構成している銅めっき層15b、16bは、その中央部に凹部15a、16aを有している。そして、内層側の層間絶縁層9に属するインナーバイアホール15の凹部15aには、導電性物質である銅ペースト7が充填されている。

【0022】この多層プリント配線板1の場合、インナーバイアホール5の開口部から露呈している銅ペースト7の一部に、内層側の層間絶縁層9に属するインナーバイアホール15の底面が電氣的に接続されている。また、インナーバイアホール15の凹部15aに充填された銅ペースト7上には、外層側の層間絶縁層10に属するバイアホール16の底面が電氣的に接続されている。従って、インナーバイアホール5とインナーバイアホール15とバイアホール16とが、ほぼ一直線上に配置された状態となっている。即ち、この多層プリント配線板1において、銅ペースト7は、いわばインナーバイアホール15とバイアホール16のための接続用パッドの役割を果たしている。

【0023】次に、この多層プリント配線板1を製造する手順を図2～図7に基づいて簡単に説明する。まず、

ガラス布基材エポキシ樹脂を素材とした銅張積層板 17 を用意し、その銅張積層板 17 に対してドリルにてバイアホール形成用孔 18 を設ける。次に、従来公知の手法に従ってパネルめっき及びバイアホール内めっきを行い、バイアホール形成用孔 18 内に銅めっき層 5b を析出させる。その結果、図 2 に示されるように銅張積層板 17 にバイアホール 5 が形成される。

【0024】次に、図 3 に示されるように、バイアホール 5 の空洞部 5a に従来公知の銅ペースト 7 を充填する。次に、充填された銅ペースト 7 の乾燥を行った後、

パターンエッチングを行う。すると、図 4 に示されるように、所定形状をした内層の導体パターン 4 が形成される。

【0025】次に、内層の導体パターン 4 が形成された銅張積層板 17 の両面に、樹脂マトリックス中に樹脂フィラーが分散されたアディティブ用接着剤を塗布する。ここで露光・現像を行うことによって、図 5 に示されるようなバイアホール形成用孔 19 を有する内層側の層間絶縁層 9 を形成する。このとき、バイアホール形成用孔 19 は、銅ペースト 7 が充填されているインナーバイアホール 5 の位置に対応して設けられる。次に、粗化及び触媒核付与を行った後、図 6 に示されるように、内層側の層間絶縁層 9 上に永久レジスト 11 を形成する。次に、無電解銅パターンめっきを行った後、前記銅ペースト 7 の充填を行う。上記の工程を経ると、図 7 に示されるように、内層側の層間絶縁層 9 にインナーバイアホール 15 と外層の導体パターン 12 が形成される。なお、前記インナーバイアホール 15 のうちインナーバイアホール 5 の軸線上に配置されたものについては、その底面が同インナーバイアホール 5 の端面に接続された状態となる。

【0026】この後、上述した内層側の層間絶縁層 9 の形成手順とはほぼ同様の手順を経て、外層側の層間絶縁層 10 及び最外層の導体パターン 14 等が形成される。前記最外層の導体パターン 14 は、ソルダーレジスト 6 によって被覆される。一方、外層側の層間絶縁層 10 に属するバイアホール 16 は、ソルダーレジスト 6 から露呈した状態になる。即ち、この多層プリント配線板 1 において前記バイアホール 16 は、例えば LSI チップ等のリードなどを実装するための外部接続端子として使用されることになる。

【0027】さて、以上のように構成された本実施例の多層プリント配線板 1 によると、インナーバイアホール 5 の空洞部 5a に銅ペースト 7 を充填することによって、同インナーバイアホール 5 の開口部が封止されることになる。このとき、開口部から銅ペースト 7 の一部が露呈することによって、インナーバイアホール 5 の両端面が平坦な状態になる。よって、内層側の層間絶縁層 9 に属するインナーバイアホール 15 の接続のための接続用パッドとして、その露呈面を使用することができる。

つまり、インナーバイアホール 5 のほぼ軸線上に、インナーバイアホール 15 の底面を接続することが可能となる。しかも、インナーバイアホール 5 側とインナーバイアホール 15 側とは、導電性物質である銅ペースト 7 を介して電氣的に接続されることになる。従って、従来るときとは異なり、インナーバイアホール 5 の上部を避けるようにして接続用パッドを配置する必要がなくなる。

【0028】更に、内層側の層間絶縁層 9 に属するインナーバイアホール 15 の凹部 15a に銅ペースト 7 が充填されることによって、同インナーバイアホール 15 の開口部側の端面も平坦な状態になる。このため、凹部 15a に充填された銅ペースト 7 を、外層側の層間絶縁層 10 に属するバイアホール 16 の接続のための接続用パッドとして使用することが可能となる。よって、同インナーバイアホール 15 のほぼ軸線上に、外層側となる層間絶縁層 10 に属するバイアホール 16 の底面を接続することができる。換言すると、インナーバイアホール 15 とバイアホール 16 を直列に配置できるということになる。しかも、インナーバイアホール 15 とバイアホール 16 は、導電性物質である銅ペースト 7 を介して電氣的に接続されることになる。よって、従来るときとは異なり、インナーバイアホール 15 の上部を避けるようにして接続用パッドを配置する必要がない。

【0029】以上のことから明らかなように、本実施例の多層プリント配線板 1 の場合、インナーバイアホール 5 とインナーバイアホール 15 とバイアホール 16 とがほぼ一直線上に配列された状態となっている。それゆえ、この多層プリント配線板 1 にあっては、従来の多層プリント配線板と比較して、導体パターン 4、12、14 の配線に利用できるエリアが相対的に大きくなっている。また、配線エリアの増加に伴って配線自由度も格段に向上することになり、もって多層プリント配線板 1 の小型化や高密度化を十分に達成することが可能となる。加えて、設計自由度が向上する結果、配線の完全自動化を行ううえで極めて好都合になる。そして、このような配線の完全自動化が実現されることによって、設計期間の短縮化やコストダウン等が達成されることになる。

【0030】また、本実施例の多層プリント配線板 1 では、インナーバイアホール 5 の空洞部 5a が銅ペースト 7 によって完全に封止された構成を採っている。このため、インナーバイアホール 5 の両端面が平坦化され、同インナーバイアホール 5 の空洞部 5a に起因する層間絶縁層 9、10 の落ち込みが防止される。

【0031】同様に、本実施例では内層側となる層間絶縁層 9 に属するインナーバイアホール 15 の凹部 15a が銅ペースト 7 で完全に封止されることによって、インナーバイアホール 15 の開口部側の端面が平坦化されている。よって、同インナーバイアホール 15 の凹部 15a に起因する外層側の層間絶縁層 10 の落ち込みを防止することができる。

【0032】以上のことから明らかなように、インナーバイアホール5やインナーバイアホール15のほぼ軸線上に形成された外層の導体パターン12や最外層の導体パターン14に凹凸が生じることがない。従って、本実施例の多層プリント配線板1は、極めて寸法精度に優れた導体パターン12、14を有するものとなる。このため、仮に最外層の導体パターン14の一部をボンディングパッドとしたときでも、精度良くワイヤーボンディングを行うことができる。

【0033】しかも、上記のような構成であると、外層側の層間絶縁層10の平坦性も改善されるため、多層プリント配線板1へICチップやLSIチップ等を表面実装するにあたって極めて好都合になる。

【0034】また、本実施例の構成によると、ベース基板2となる銅張積層板17のみにインナーバイアホール形成用孔18を透設するだけで足りる。よって、従来の多層プリント配線板とは異なり、加工コストが安くなる。

【0035】なお、本発明は上記実施例のみに限定されることはなく、次のような構成に変更することが可能である。例えば、

(a) 空洞部5aや凹部15a、16aを充填するための導電性物質は、銅ペースト7に限定されることなく、その他の金属などを含むペーストであっても良い。また、前記導電性物質は、銅めっき等であっても構わない。

【0036】(b) ベース基板2は両面板に限定されることはなく、例えばマスマニケーション方式によって作製された多層板であっても良い。また、ベース基板2は樹脂を主材とした基板に限定されるわけではない。その代わりとして、例えば銅、アルミニウム、アルマイト、鉄等の金属を主材としたものを使用しても良い。この種の金属製ベース基板を選択すると、放熱性に優れた多層プリント配線板を実現することができる。このため、発熱量の大きなチップを多数個実装する場合などに好都合である。

【0037】(c) 勿論、薄膜配線層3はベース基板2の片面のみであっても良い。また、必要に応じて薄膜配線層3を更に多層化した構成とすることも可能である。*

*【0038】

【発明の効果】以上詳述したように、本発明のビルドアップ多層プリント配線板によれば、配線自由度が高く、しかも導体パターンの形成精度に優れたものとすることができるという優れた効果を奏する。

【図面の簡単な説明】

【図1】本発明を具体化した一実施例のビルドアップ多層プリント配線板を示す一部破断概略断面図である。

【図2】同じくその製造工程において、銅張積層板にパネルめっきを行った状態を示す一部破断概略断面図である。

【図3】同じくその製造工程において、内壁にめっきが施されたバイアホールの空洞部に銅ペーストが充填された状態を示す一部破断概略断面図である。

【図4】同じくその製造工程において、銅張積層板の銅箔がパターンエッチングされた状態を示す一部破断概略断面図である。

【図5】同じくその製造工程において、バイアホール形成用孔を有する内層側の層間絶縁層が形成された状態を示す一部破断概略断面図である。

【図6】同じくその製造工程において、永久レジストを配置した状態を示す一部破断概略断面図である。

【図7】同じくその製造工程において、バイアホールの凹部に導電性物質が充填された状態を示す一部破断概略断面図である。

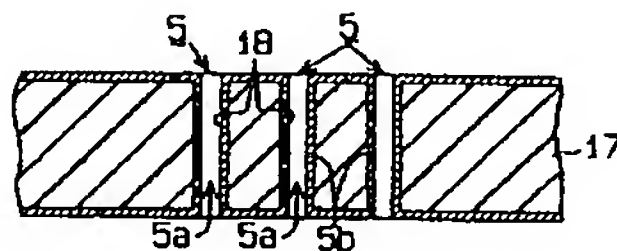
【図8】従来の多層プリント配線板を示す一部破断概略断面図である。

【図9】従来の問題点を説明するための多層プリント配線板の部分破断拡大略平面図である。

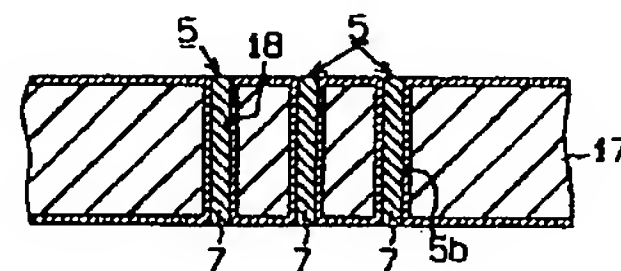
【符号の説明】

1…(ビルドアップ)多層プリント配線板、2…ベース基板、3…導体パターン、4…(内層の)導体パターン、5…インナーバイアホール、5a…空洞部、7…導電性物質としての銅ペースト、9…(内層側の)層間絶縁層、10…(外層側の)層間絶縁層、12…(外層の)導体パターン、14…(最外層の)導体パターン、15…インナーバイアホール、15a…凹部、16…バイアホール、16a…凹部。

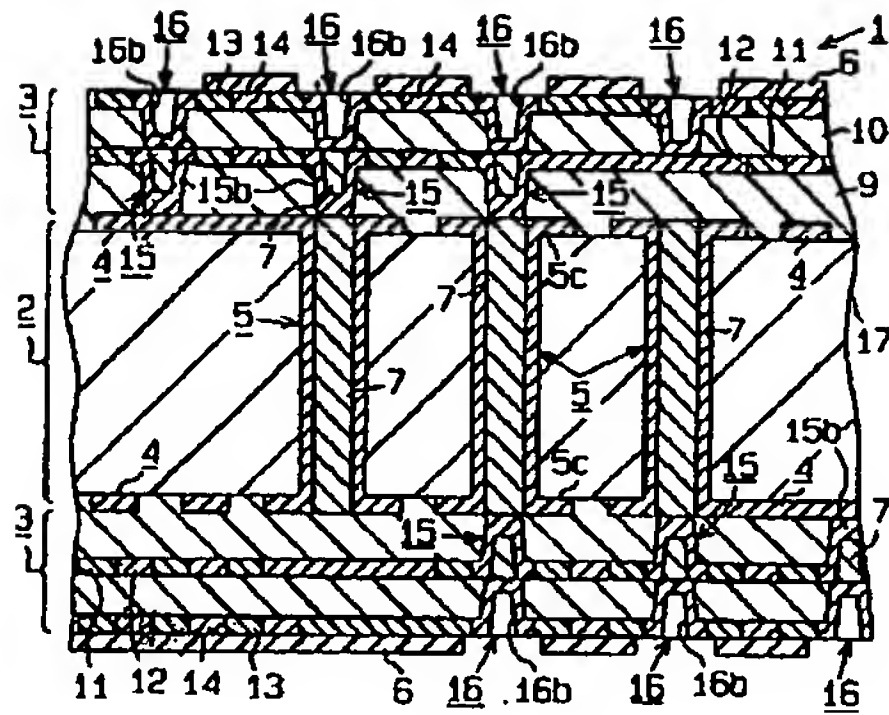
【図2】



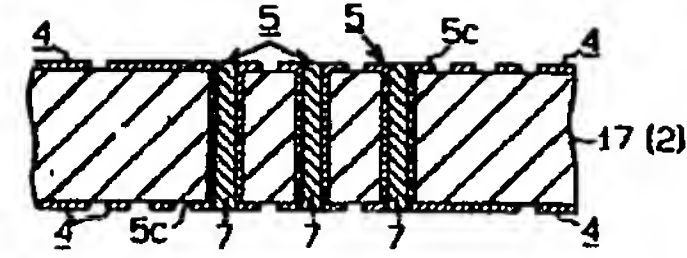
【図3】



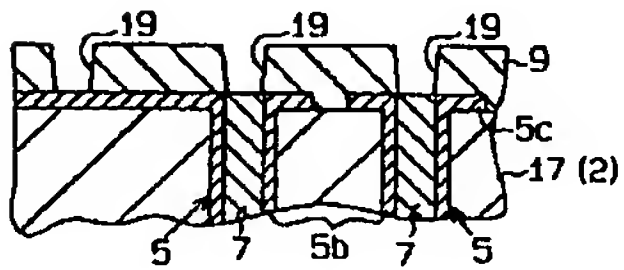
【図1】



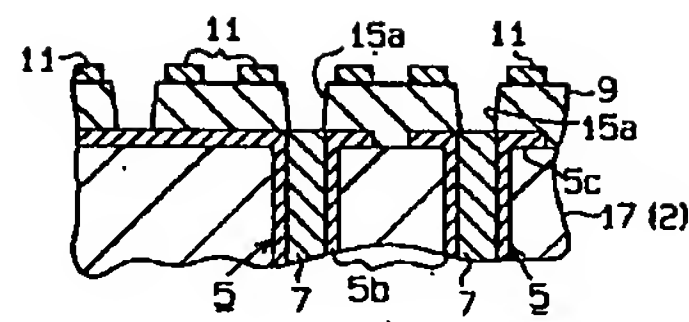
【図4】



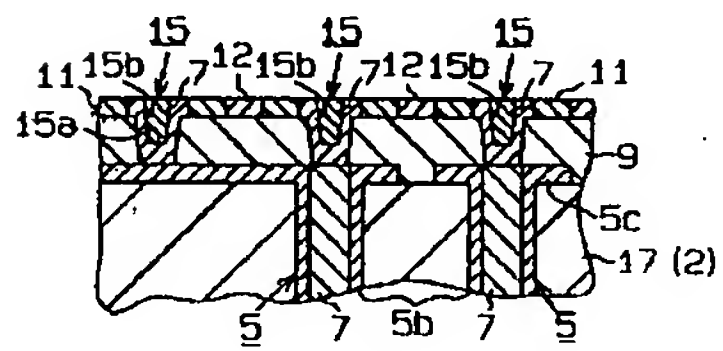
【図5】



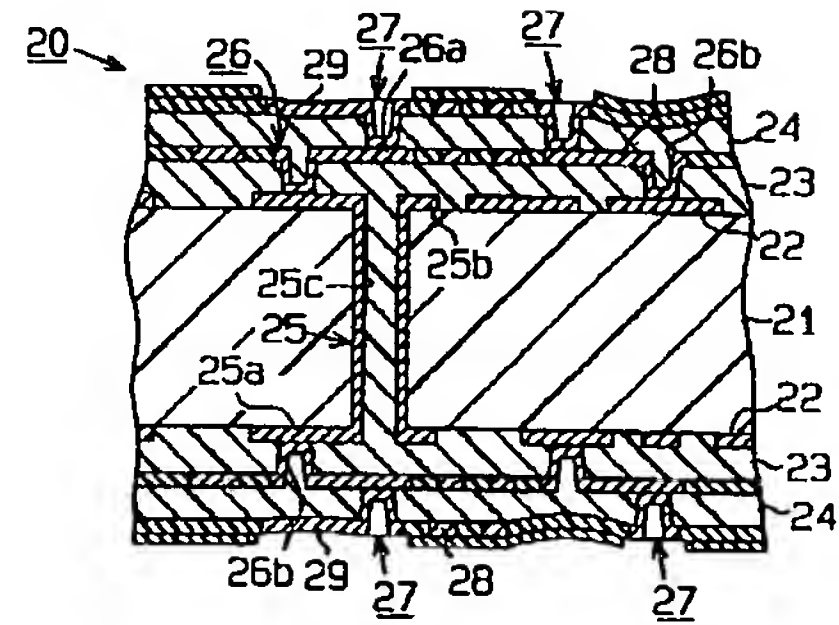
【図6】



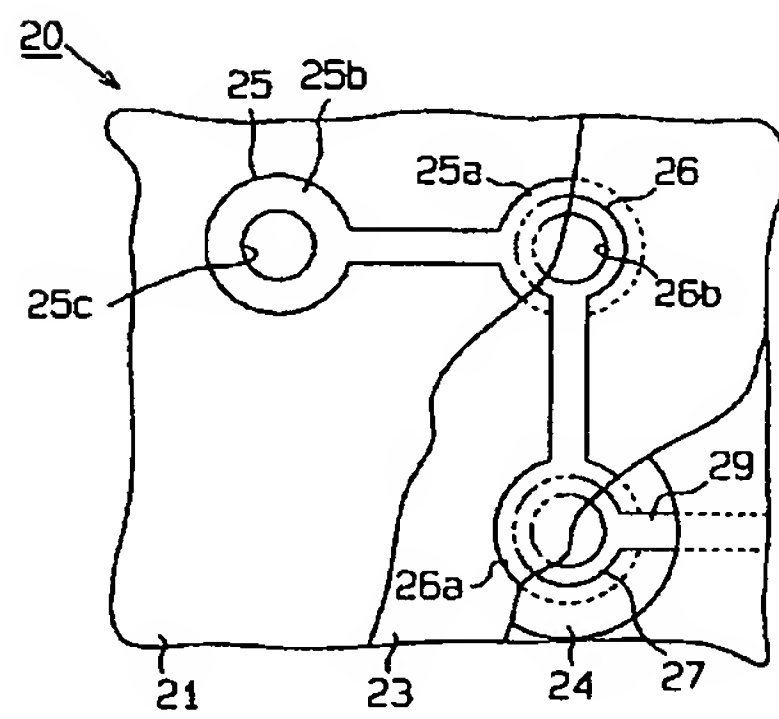
【図7】



【図8】



【図9】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-283539

(43)Date of publication of application : 27.10.1995

(51)Int.Cl.

H05K 3/46

(21)Application number : 06-076204

(71)Applicant : SONY CORP
IBIDEN CO LTD

(22)Date of filing : 14.04.1994

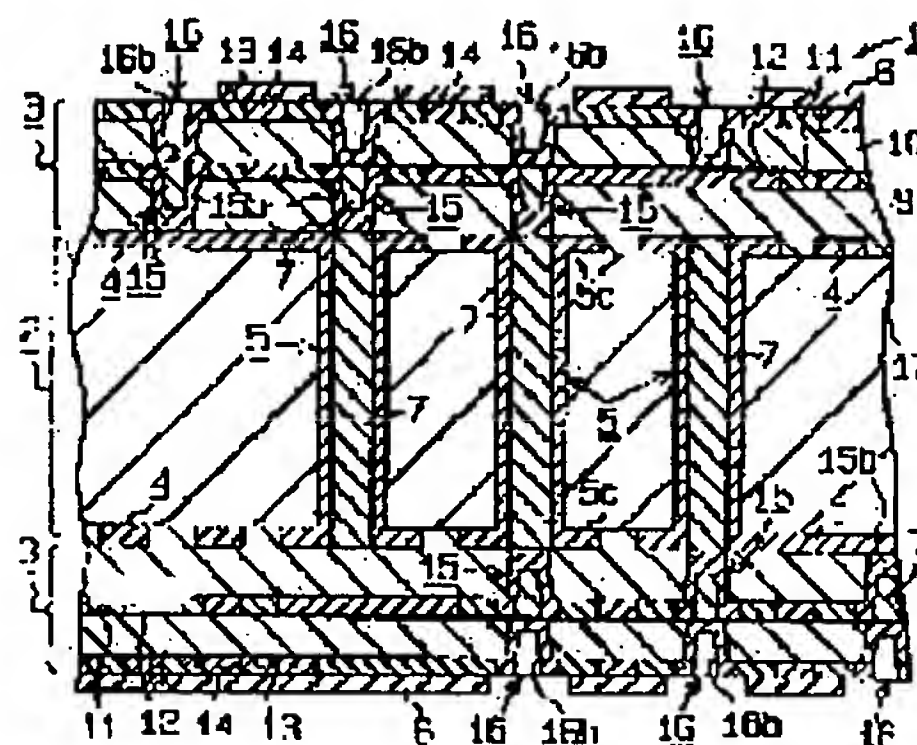
(72)Inventor : FURUYA HIROSHI
TAKASAKI YOSHINORI

(54) BUILD-UP MULTILAYERED PRINTED WIRING BOARD

(57)Abstract:

PURPOSE: To provide a build-up multilayered printed wiring board wherein the wiring freedom is high and the forming precision of a conducting pattern is excellent.

CONSTITUTION: A build-up multilayered printed wiring board 1 is obtained by laminating an insulating layer 9 in which viaholes 5, 15, 16 are formed and a conductor circuit layer. The surface of at least one inner viahole 5 out of the viaholes is flattened by using conducting material 7. The viahole 15 of the insulating layer 9 formed on the conductor circuit layer is arranged almost on the axial line of the inner viahole 5, and electrically connected by plating.



LEGAL STATUS

[Date of request for examination] 02.06.2000

[Date of sending the examiner's decision of rejection] 16.03.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-007719

[Date of requesting appeal against examiner's decision of rejection] 15.04.2004

[Date of extinction of right]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] the insulating layer and conductor with which the Bahia hall was formed -- the build up multilayer printed wiring board with which the Bahia hall of the insulating layer by which flattening of the front face of at least one inner BAJA hole is carried out with the conductive matter among said Bahia halls, and the laminating was carried out on it in the build up multilayer printed wiring board with which the laminating of the circuitry layer was carried out is characterized by the thing of this inner BAJA hole which it is mostly arranged on an axis and comes to connect by plating electrically.

[Claim 2] The build up multilayer printed wiring board according to claim 1 with which it comes to fill up the conductive matter in said inner BAJA hole.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]

[Industrial Application] the insulating layer and conductor with which, as for this invention, the Bahia hall was formed -- a circuitry layer is related with the build up multilayer printed wiring board by which the laminating was carried out.
[0002]

[Description of the Prior Art] In the latest electronic equipment especially the camcorder/movie, the cellular phone, the Personal Digital Assistant, etc., a miniaturization and advanced features are progressing quickly.

[0003] In order that the multilayer printed wiring board used in such a field may realize high density wiring more with a small number of layers, minor diameter-ization of the Bahia hall is strongly called for with thinning of a pattern.

[0004] As a multilayer printed wiring board used in such [conventionally] a field, the multilayer printed wiring board (6 lamellae) 20 by a subtractive process and an additive process as shown, for example in drawing 8 is known.

[0005] The layer insulation layers 23 and 24 of a bilayer are formed in both sides of a laminate 21 in which the conductor pattern 22 was formed, respectively, the conductor pattern 28 is formed between that layer, and, as for this multilayer printed wiring board 20, the conductor pattern 29 is further formed in that outer layer. These conductor patterns 22, 28, and 29 are electrically connected by the inner BAlA holes 25 and 26 and the Bahia hall 27, respectively. In addition, the insulating material has entered the interior of the inner BAlA holes 25 and 26.

Moreover, in a multilayer printed wiring board 20, after carrying out a laminating to a multilayer, there is the description of not needing formation of the breakthrough for forming a through hole. [0006] That is, the whole closing-in-izing and the finization of conductor patterns 28 and 29 are [like / it is ***** also from the above-mentioned configuration, and] possible for this multilayer printed wiring board. Therefore, it can be said that the configuration of the type of drawing 8 is comparatively suitable for densification or a miniaturization.

[0007] However, there is a problem which is described below in the multilayer printed wiring board 20 shown in drawing 8 . Since the insulating material had entered the interior of said inner BAlA holes 25 and 26 although the conductor patterns 22, 28, and 29 of each class of a multilayer printed wiring board 20 are electrically connected by the inner BAlA holes 25 and 26 and the Bahia hall 27 as mentioned above, it was difficult to form another inner BAlA hole and the Bahia hall in the upper part (namely, location which becomes an axis top) directly. Then, in the former, another inner BAlA hole and the Bahia hall are formed on the pad for connection which avoided the upper part of an inner BAlA hole and was formed.

[0008] That is, pad 25a which adjoined land 25b of the inner BAlA hole 25, and carried out the circle configuration as illustrated to drawing 9 is formed. On the pad 25a for connection, the inner BAlA hole 26 belonging to the layer insulation layer 23 by the side of a inner layer is connected. Said inner BAlA hole 56 is connected to pad 26a for connection formed on the layer insulation layer 23 by the side of a inner layer. And on the pad 26a for connection, the Bahia hall 27 belonging to the layer insulation layer 24 by the side of an outer layer is connected. That is, in

the former, it is required that the inner BAlA hole 25 and the upper part (namely, location which becomes an axis top) of 26 should be avoided, and the pads 25a and 26a for connection should be arranged.

[0009] However, when it is made the above arrangement, in order that the fields which can be used for wiring of conductor patterns 22 and 28 may decrease in number relatively, lowering of a wiring degree of freedom is not avoided. Therefore, a miniaturization or densification of a multilayer printed wiring board 20 cannot fully be attained.

[0010] Moreover, since in the case of the multilayer printed wiring board of drawing 8 cavernous section 25c is in the inner BAlA hole 25 or crevice 26b is in the inner BAlA hole 26 belonging to the layer insulation layer 23 by the side of a inner layer, there is a problem that irregularity tends to be made to the conductor pattern 29 of an outermost layer of drum. Thus, when the formation precision of a conductor is bad, supposing the conductor pattern 29 is a bonding pad for wire bonding, bonding precision will get worse by existence of irregularity. Consequently, mounting of the LSI chip to a multilayer printed wiring board 20, a package, etc. becomes difficult.
[0011]

[Problem(s) to be Solved by the Invention] The object of this invention can cancel the fault of the conventional technique like the above, and its wiring degree of freedom is high, and it is to offer the build up multilayer printed wiring board which was moreover excellent in the formation precision of a conductor pattern.
[0012]

[Means for Solving the Problem] In the build up multilayer printed wiring board with which the laminating of the circuitry layer was carried out the insulating layer and conductor with which, as for the above-mentioned technical problem, the Bahia hall was formed -- Flattening of the front face of at least one inner BAlA hole is carried out with the conductive matter among said Bahia halls. It is mostly arranged on an axis and the Bahia hall of the insulating layer by which the laminating was carried out on it can be solved with the build up multilayer printed wiring board characterized by the thing of this inner BAlA hole which it comes to connect by plating electrically.
[0013]

[Function] According to the configuration of this invention, that front face can be used as a pad for connection by carrying out flattening of the front face of an inner BAlA hole with the conductive matter. That is, it becomes possible to carry out direct continuation of the base of almost another Bahia hall on an axis of an inner BAlA hole. The upper part of an inner BAlA hole is avoided and it becomes unnecessary therefore, to arrange the pad for connection unlike the conventional build up multilayer printed wiring board.

[0014] Moreover, depression of the layer insulation layer resulting from the cavernous section and the crevice of an inner BAlA hole can be prevented by carrying out flattening of the front face of an inner BAlA hole. Therefore, while electronic parts can be carried with high dependability, without irregularity arising in the conductor pattern formed in the part which hits the upper part of an inner BAlA hole, it has a good property also to soldering and wire bonding with the electronic parts carried.

[0015] It is desirable to carry out flattening by filling up the cavernous section and the crevice of an inner BAlA hole with the conductive matter as a means which carries out flattening of the front face of said inner BAlA hole. Moreover, a plating coat can also be formed in a front face after embedding and carrying out flattening of the filler to the cavernous section and the crevice of said inner BAlA hole.

[0016] Since the inner BAlA hole arranged in the outermost layer of drum of the build up multilayer printed wiring board concerning this invention further again can fully carry out flattening to soldering with electronic parts and wire-bonding processing in which the front face is carried, no so-called signal pattern can be prepared, but it can also be used only as the conductor pattern for carrying out electrical connection to the electronic parts to carry in the outermost layer of drum of a build up multilayer printed wiring board. by the ability of the solder resist process itself which was the need conventionally to be skipped, in the case of the optical mounting inspection to about [becoming low cost-ization] and mounting electronic parts, **

which carries out image recognition in the condition that there is no reflected light (noise) from conductor patterns other than an electronic-parts mounting pad in image data picking ***** is made, and inspection precision is boiled markedly and it can improve by this.

[0017]

[Example] Hereafter, one example which materialized this invention to the build up multilayer printed wiring board is explained to a detail based on drawing 1 - drawing 7.

[0018] The build up multilayer printed wiring board 1 is shown in drawing 1. This multilayer printed wiring board 1 is 6 lamellae which equip both sides of the base substrate 2 with the thin film wiring layer 3. The conductor pattern 4 is formed in both sides of the base substrate 2.

These conductor patterns 4 are connected by the inner BAJA hole 5 prepared so that the base substrate 2 might be penetrated. In addition, the inner BAJA hole 5 of this example has land 5c of a circle configuration to the both ends.

[0019] Copper-plating layer 5b is formed in the wall of the inner BAJA hole 5, and cavernous section 5a surrounded by the copper-plating layer 5b is filled up with the copper paste 7 as conductive matter. Flattening of the ends side of the inner BAJA hole 5 is carried out by filling up with the copper paste 7.

[0020] The thin layer wiring layer 3 which consists of the two-layer structure of the layer insulation layer 9 by the side of a inner layer and the layer insulation layer 10 by the side of an outer layer is formed in the multilayer printed wiring board 1 of this example. The permanent resist 11 is formed in the front face of the layer insulation layer 9 by the side of a inner layer. The conductor pattern 12 is formed in the part in which the permanent resist 11 is not formed among the front faces of the layer insulation layer 9 by the side of a inner layer. Similarly, the permanent resist 13 is formed in the front face of the layer insulation layer 10 by the side of an outer layer. The conductor pattern 14 is formed in the part in which the permanent resist 13 is not formed among the front faces of the layer insulation layer 10 by the side of an outer layer. Said some of conductor patterns 14 serve as a pad for connection for carrying out the surface mount of the LSI chip etc. Moreover, the front face of the layer insulation layer 10 by the side of an outer layer is covered with the solder resist 6 except for the part. In addition, it is made for convenience the thing of explanation for which said conductor pattern 14 is called this "the conductor pattern 14 of an outermost layer of drum" or subsequent ones. The thing of a conductor pattern 12 is similarly made to call the thing of "the conductor pattern 12 of an outer layer", and a conductor pattern 4 "the conductor pattern 4 of a inner layer", respectively.

[0021] The inner BAJA hole 15 for interlayer connections is formed in the layer insulation layer 9 by the side of a inner layer. The Bahia hall 16 for interlayer connections is similarly formed in the layer insulation layer 10 by the side of an outer layer. The copper-plating layers 15b and 16b which constitute the inner BAJA hole 15 and the Bahia hall 16 have Crevices 15a and 16a in the center section. And crevice 15a of the inner BAJA hole 15 belonging to the layer insulation layer 9 by the side of a inner layer is filled up with the copper paste 7 which is the conductive matter.

[0022] In the case of this multilayer printed wiring board 1, the base of the inner BAJA hole 15 belonging to the layer insulation layer 9 by the side of a inner layer is electrically connected to some copper pastes 7 exposed from opening of the inner BAJA hole 5. Moreover, on the copper paste 7 with which crevice 15a of the inner BAJA hole 15 was filled up, the base of the Bahia hall 16 belonging to the layer insulation layer 10 by the side of an outer layer is connected electrically. Therefore, the inner BAJA hole 5, the inner BAJA hole 15, and the Bahia hall 16 are in the condition of having been arranged on about 1 straight line. That is, so to speak in this multilayer printed wiring board 1, the copper paste 7 has played the role of the pad for connection for the inner BAJA hole 15 and the Bahia hall 16.

[0023] Next, the procedure of manufacturing this multilayer printed wiring board 1 is briefly explained based on drawing 2 - drawing 7. First, the copper clad laminate 17 made from the glass fabric base material epoxy resin is prepared, and the hole 18 for the Bahia hall formation is formed with a drill to the copper clad laminate 17. Next, according to well-known technique, panel plating and plating in the Bahia hall are performed conventionally, and copper-plating layer 5b is deposited in the hole 18 for the Bahia hall formation. Consequently, as shown in drawing 2, the Bahia hall 5 is formed in copper clad laminate 17.

[0024] Next, as shown in drawing 3, cavernous section 5a of the Bahia hall 5 is conventionally filled up with the well-known copper paste 7. Next, pattern etching is performed after drying the copper paste 7 with which it filled up. Then, as shown in drawing 4, the conductor pattern 4 of the inner layer which carried out the predetermined configuration is formed.

[0025] Next, the adhesives for additives with which the resin filler was distributed in the resin matrix are applied to both sides of copper clad laminate 17 in which the conductor pattern 4 of a inner layer was formed. By performing exposure and development here, the layer insulation layer 9 by the side of the inner layer which has the hole 19 for the Bahia hall formation as shown in drawing 5 is formed. At this time, the hole 19 for the Bahia hall formation is formed

corresponding to the location of the inner BAJA hole 5 where it fills up with the copper paste 7. Next, after performing roughening and catalyst nucleus grant, as shown in drawing 6, the permanent resist 11 is formed on the layer insulation layer 9 by the side of a inner layer. Next, after performing non-electrolytic copper pattern plating, restoration of said copper paste 7 is performed. If it passes through the above-mentioned process, as shown in drawing 7, the conductor pattern 12 of the inner BAJA hole 15 and an outer layer will be formed in the layer insulation layer 9 by the side of a inner layer. In addition, about what has been arranged on the axis of the inner BAJA hole 5 among said inner BAJA holes 15, the base will be in the condition of having connected with the end face of this inner BAJA hole 5.

[0026] Then, the conductor pattern 14 grade of the layer insulation layer 10 by the side of an outer layer and an outermost layer of drum is formed through the formation procedure of the layer insulation layer 9 by the side of the inner layer mentioned above, and the almost same procedure. The conductor pattern 14 of said outermost layer of drum is covered with a solder resist 6. On the other hand, the Bahia hall 16 belonging to the layer insulation layer 10 by the side of an outer layer will be exposed from a solder resist 6. That is, in this multilayer printed wiring board 1, said Bahia hall 16 will be used as an external connection terminal for mounting the lead of an LSI chip etc.

[0027] Now, according to the multilayer printed wiring board 1 of this example constituted as mentioned above, opening of this inner BAJA hole 5 will be closed by filling up cavernous section 5a of the inner BAJA hole 5 with the copper paste 7. At this time, when exposed from opening of some copper pastes 7, the ends side of the inner BAJA hole 5 will be in a flat condition.

Therefore, the disclosure side can be used as a pad for connection for connection of the inner BAJA hole 15 belonging to the layer insulation layer 9 by the side of a inner layer. That is, the thing of the inner BAJA hole 5 for which the base of the inner BAJA hole 15 is connected on an axis becomes almost possible. And the inner BAJA hole 5 and inner BAJA hole 15 side will be electrically connected through the copper paste 7 which is the conductive matter. As the upper part of the inner BAJA hole 5 is avoided, it becomes unnecessary therefore, to arrange the pad for connection unlike the time of the former.

[0028] Furthermore, the end face by the side of opening of this inner BAJA hole 15 will also be in a flat condition by filling up crevice 15a of the inner BAJA hole 15 belonging to the layer insulation layer 9 by the side of a inner layer with the copper paste 7. For this reason, it becomes possible to use the copper paste 7 with which crevice 15a was filled up as a pad for connection for connection of the Bahia hall 16 belonging to the layer insulation layer 10 by the side of an outer layer. Therefore, the base of the Bahia hall 16 belonging to the layer insulation layer 10 of this inner BAJA hole 15 which comes an outer layer side on an axis mostly is connectable. When it puts in another way, it will be said that the inner BAJA hole 15 and the Bahia hall 16 can be arranged to a serial. And the inner BAJA hole 15 and the Bahia hall 16 will be electrically connected through the copper paste 7 which is the conductive matter. Therefore, unlike the time of the former, as the upper part of the inner BAJA hole 15 is avoided, it is not necessary to arrange the pad for connection.

[0029] In the case of the multilayer printed wiring board 1 of this example, the inner BAJA hole 5, the inner BAJA hole 15, and the Bahia hall 16 are in the condition of having been arranged on about 1 straight line so that clearly from the above thing. So, if it is in this multilayer printed wiring board 1, as compared with the conventional multilayer printed wiring board, the area which can be used for wiring of conductor patterns 4, 12, and 14 is large relatively. moreover, with the

increment in wiring area, a wiring degree of freedom will also be boiled markedly, and will improve, and it becomes possible to have and to fully attain a miniaturization and densification of a multilayer printed wiring board 1. In addition, as a result of the improvement of a design degree of freedom, when performing complete automation of wiring, it becomes very convenient. And shortening, a cost cut, etc. of a design period will be attained by realizing complete automation of such wiring.

[0030] Moreover, in the multilayer printed wiring board 1 of this example, cavernous section 5a of the inner BAIA hole 5 has taken the configuration thoroughly closed with the copper paste 7. For this reason, flattening of the ends side of the inner BAIA hole 5 is carried out, and depression of the layer insulation layers 9 and 10 resulting from cavernous section 5a of this inner BAIA hole 5 is prevented.

[0031] Similarly, in this example, flattening of the end face by the side of opening of the inner BAIA hole 15 is carried out by closing thoroughly crevice 15a of the inner BAIA hole 15 belonging to the layer insulation layer 9 which becomes a inner layer side with the copper paste 7. Therefore, depression of the layer insulation layer 10 by the side of the outer layer resulting from crevice 15a of this inner BAIA hole 15 can be prevented.

[0032] Irregularity arises neither in the conductor pattern 12 of the outer layer of the inner BAIA hole 5 or the inner BAIA hole 15 mostly formed on the axis, nor the conductor pattern 14 of an outermost layer of drum so that clearly from the above thing. Therefore, the multilayer printed wiring board 1 of this example has the conductor patterns 12 and 14 which were extremely excellent in dimensional accuracy. For this reason, even when some conductor patterns 14 of an outermost layer of drum are temporarily used as a bonding pad, wire bonding can be performed with a sufficient precision.

[0033] And since the surface smoothness of the layer insulation layer 10 by the side of an outer layer is also improved as they are the above configurations, in carrying out the surface mount of iC chip, the LSI chip, etc. to a multilayer printed wiring board 1, it becomes very convenient.

[0034] Moreover, according to the configuration of this example, it is only sufficient to **** the hole 18 for inner BAIA hole formation. [used as the base substrate 2] [17] Therefore, unlike the conventional multilayer printed wiring board, processing cost becomes cheap.

[0035] In addition, it is not limited only to the above-mentioned example and this invention can be changed into the following configurations. For example, the conductive matter for being filled up with (a) cavernous section 5a or Crevices 15a and 16a may be a paste which is not limited to the copper paste 7 and contains other metals etc. Moreover, said conductive matter may be copper plating etc.

[0036] (b) The base substrate 2 may be a multilayer board which is not limited to a double-sided plate, for example, was produced by the mass lamination method. Moreover, the base substrate 2 is not necessarily limited to the substrate which used resin as the principal member. As the substitute, what used metals, such as copper, aluminum, alumite, and iron, as the principal member may be used. If this kind of metal base substrate is chosen, the multilayer printed wiring board excellent in heat dissipation nature is realizable. For this reason, it is convenient when it mounts much big chips of calorific value.

[0037] (c), of course, the thin film wiring layer 3 may be only one side of the base substrate 2. Moreover, it is also possible to consider the thin film wiring layer 3 as the configuration multilayered further if needed.

[0038]

[Effect of the Invention] As explained in full detail above, according to the build up multilayer printed wiring board of this invention, the outstanding effectiveness that the wiring degree of freedom should be high and it should moreover excel in the formation precision of a conductor pattern is done so.

[Translation done.]

* NOTICES *

JP0 and INPII are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] the build up multilayer printed wiring board of one example which materialized this invention is shown -- it is a fracture outline sectional view a part.
[Drawing 2] similarly in the production process, the condition of having performed panel plating to copper clad laminate is shown -- it is a fracture outline sectional view a part.
[Drawing 3] the condition that the cavernous section of the Bahia hall where plating was performed to the wall was similarly filled up with the copper paste in the production process is shown -- it is a fracture outline sectional view a part.
[Drawing 4] similarly in the production process, the condition that pattern etching of the copper foil of copper clad laminate was carried out is shown -- it is a fracture outline sectional view a part.
[Drawing 5] the condition that the layer insulation layer by the side of the inner layer which has a hole for the Bahia hall formation was similarly formed in the production process is shown -- it is a fracture outline sectional view a part.
[Drawing 6] similarly in the production process, the condition of having arranged the permanent resist is shown -- it is a fracture outline sectional view a part.
[Drawing 7] similarly in the production process, the condition that the crevice of the Bahia hall was filled up with the conductive matter is shown -- it is a fracture outline sectional view a part.
[Drawing 8] the conventional multilayer printed wiring board is shown -- it is a fracture outline sectional view a part.
[Drawing 9] It is the partial fracture amplification outline top view of the multilayer printed wiring board for explaining the conventional trouble.
[Description of Notations]
1 -- (build up) A multilayer printed wiring board, 2 -- A base substrate, 3 -- Conductor pattern, 4 -- (inner layer) A conductor pattern, 5 -- An inner BAJA hole, 5a -- Cavernous section, 7 [-- (outer layer) A conductor pattern, 14 / -- (outermost layer of drum) A conductor pattern, 15 / - - An inner BAJA hole, 15a / -- A crevice, 16 / -- The Bahia hall, 16a / -- Crevice.] -- The copper paste as conductive matter, 9 -- (inner layer side) A layer insulation layer, 10 -- (outer layer side) A layer insulation layer, 12

[Translation done.]